

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02100367 A**(43) Date of publication of application: **12.04.90**

(51) Int. Cl

H01L 29/784**H01L 29/68**(21) Application number: **63253196**(71) Applicant: **NISSAN MOTOR CO LTD**(22) Date of filing: **07.10.88**(72) Inventor: **MURAKAMI YOSHINORI**(54) **VERTICAL CONDUCTIVITY MODULATION TYPE MOSFET**

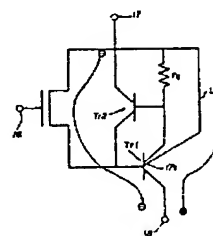
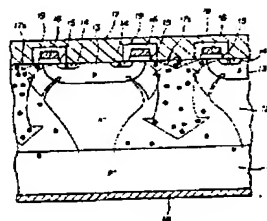
even if a hole current increases. Thereby latch up does not occur.

(57) Abstract:

COPYRIGHT: (C)1990,JPO&Japio

PURPOSE: To prevent latch up from occurring and lower the ON-state resistance during operation by forming the junction faces of a source electrode and a drain area into the form of Schottky junctions passing minority carriers only in the direction of the source electrode from the drain area.

CONSTITUTION: A groove is made in a drain area close to a base area, a source electrode 17 electrically connected with the base area and a source area is formed in said groove, and the junction faces of the source electrode 17 and the base area are formed into the form of Schottky junctions 17s passing minority carriers only in the direction of the source electrode 17 from the base area. That is, the Schottky junctions 17s formed under the source electrode 17 do not obstruct the passage of holes, therefore, the attracted holes flow into the Schottky junctions 17s without obstruction to reduce the flow of the holes emitted from a p^+ type anode area 11 to p type base areas 13 to an ignorable quantity, so that an npn transistor Tr2 does not operate



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-100367

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)4月12日

H 01 L 29/784
29/688526-5F
8422-5F

H 01 L 29/78

3 2 1 J

審査請求 未請求 請求項の数 2 (全9頁)

⑮ 発明の名称 縦型伝導度変調型MOSFET

⑯ 特 願 昭63-253196

⑰ 出 願 昭63(1988)10月7日

⑱ 発 明 者 村 上 善 則 神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社
内

⑲ 出 願 人 日産自動車株式会社 神奈川県横浜市神奈川区宝町2番地

⑳ 代 理 人 弁理士 和田 成則

明 細 書

1. 発明の名称

縦型伝導度変調型MOSFET

2. 特許請求の範囲

1. 第1導電性の半導体基体の一方の主面に形成された第2導電性のドレイン領域と、このドレイン領域の表面に形成された第1導電性のベース領域と、このベース領域内であって表面に形成された第2導電性のソース領域と、上記ベース領域の表面に絶縁膜を介しかつ上記ドレイン領域およびソース領域にまたがって形成されたゲート電極を有する縦型伝導度変調型MOSFETにおいて、

上記ベース領域近傍の上記ドレイン領域に、上記ベース領域およびソース領域と電気的に接続されるソース電極を形成し、このソース電極とドレイン領域との接合面を、ドレイン領域からソース電極方向にのみ少数キャリアを通過させるショットキー接合に形成したことを特徴とする縦型伝導度変調型MOSFET。

2. 第1導電性の半導体基体の一方の主面に形成さ

れた第2導電性のドレイン領域と、このドレイン領域の表面に形成された第1導電性のベース領域と、このベース領域内であって表面に形成された第2導電性のソース領域と、上記ベース領域の表面に絶縁膜を介しかつ上記ドレイン領域およびソース領域にまたがって形成されたゲート電極を有する縦型伝導度変調型MOSFETにおいて、

上記ベース領域近傍の上記ドレイン領域に溝部を斜設し、その溝部の内面に、上記ベース領域およびソース領域と電気的に接続されるソース電極を形成し、このソース電極とベース領域との接合面を、ベース領域からソース電極方向にのみ少数キャリアを通過させるショットキー接合に形成したことを特徴とする縦型伝導度変調型MOSFET。

3. 発明の詳細な説明

《産業上の利用分野》

この発明は、縦型伝導度変調型MOSFETの改良に関する。

《従来の技術》

従来、縦型伝導度変調型MOSFETとしては、米国特許4364073号公報記載のものが知られている。これは第7図に示されるように、 p^+ 型アノード領域11、 n^+ 型バッファ領域11a、 n^+ 型ドレイン領域12、この n^+ 型ドレイン領域12の裏面部分に拡散等により形成された p 型ベース領域13、さらにこの p 型ベース領域13の上面に形成された n^+ ソース領域14、および裏面の n^+ 型ドレイン領域12と p 型ベース領域13と n^+ ソース領域14を覆うようにゲート酸化膜15を介して形成されたゲート電極16等により構成されている。

この縦型伝導度変調型MOSFETは、通常の縦型 n チャネルMOSFETの n^+ 型バッファ領域11aに、 p^+ 型アノード領域11を付加した

領域24と n^+ ソース領域24をまたぐようにゲート酸化膜26を介して形成されたゲート電極27等により構成されている。

この縦型伝導度変調型MOSFETも、前述の従来例と同様な機能・作用を備えている。

《発明が解決しようとする問題点》

しかしながらこのような縦型伝導度変調型MOSFETにあっては、 pnp サイリスタの寄生素子を有することにより、ラッチアップ現象が発生する可能性がある。

第8図は、第7図における縦型伝導度変調型MOSFETの等価回路を示す。

図中の $Tr1$ は、第7図における(p^+ 型アノード領域11) - (n^+ 型バッファ領域11aと n^+ 型ドレイン領域12) - (p 型ベース領域13)により形成される pnp トランジスタを示している。同じく $Tr2$ は、(n^+ 型ドレイン領域12) - (p 型ベース領域13) - (n^+ ソース領域14)により形成される nnp トランジスタを示している。

構造とみなせるものであり、動作時にはこの p^+ 型アノード領域11から n^+ 型バッファ領域11a、 n^+ 型ドレイン領域12へ正孔が注入されて電気伝導度が変調し、オン抵抗が大幅に低下する。

通常の縦型MOSFETでは、高耐圧にする程、 n^+ 型ドレイン領域の抵抗を高くし、またその厚みも増さねばならないためオン抵抗が増大してしまうが、図示した縦型伝導度変調型MOSFETであれば、オン抵抗を増大させずに耐圧を大きくすることが実現可能であるとして注目されている。

また他の従来例として、第9図に示されるものがある。これは p^+ 型アノード領域21、 n 型ベース領域23、この n 型ベース領域23の裏面部分に拡散等により形成された p 型ベース領域24、このベース領域23の中央に深い拡散による p^+ 領域24a、およびベース領域の表面に深く浅い p^+ 領域24bがある。さらにこの p 型ベース領域24の上面に形成された n^+ ソース領域25、および表面の n 型ベース領域23と p 型ベース領域

p^+ 型アノード領域11は $Tr1$ のエミッタに相当し、ここから注入された正孔の一部は再結合によって消滅しないままコレクタに相当する p 型ベース領域13に到達し、抵抗 r_b を経てソース電極17に流れ込む。この電流を I_b とすると、 p 型ベース領域13に電圧降下 $I_b r_b$ を生じる。この値が $Tr2$ におけるベースとエミッタに相当する p 型ベース領域13と n^+ ソース領域14のビルトイン電圧 V_{bi} (約0.6ボルト)を越えると、正孔電流は n^+ ソース領域14に流れ込む。その結果 $Tr2$ が作動し、 $Tr1$ 、 $Tr2$ に正帰還がかかりラッチアップ現象が発生して、以後の縦型伝導度変調型MOSFETの電流制御ができなくなる。

そのため第7図における縦型伝導度変調型MOSFETについては、寄生サイリスタを動作させないようにするため、抵抗 r_b または電流 I_b を小さくしなければならない。

電流 I_b を小さくする方法として、第7図では、 n^+ 型バッファ領域11aを設けて n^+ 型ドレイン

領域12への正孔注入効率を低くしているが、同時に伝導度変調効果も低下してしまい、ラッチアップの防止はできるものの、オン抵抗が増大してしまう欠点がある。

また他の対策として、正孔電流の多くが電子電流に引きずられてチャネル直下のp型ベース領域を通ることに着目して、第9図に示されるように、p型ベース領域24の下部を突出させて不純物の濃度の高い領域24aを形成すると、チャネル直下のp型ベース領域を流れる電流 I_p がバイパスされる。またp型ベース領域24中のn⁺ソース領域25下部のチャネル間隔までp⁺型領域13bを形成する抵抗 r_p を低下できる。

いずれにしろこれらの方法では、正孔電流がチャネル直下を流れることに変わりなく、有効な解決策にならない。

《発明の目的》

この発明はこのような従来の問題点を解消するためになされたもので、その目的とするところはラッチアップの発生が防止できてしかも動作時の

と、このドレイン領域の表面に形成された第1導電性のベース領域と、このベース領域内であって表面に形成された第2導電性のソース領域と、上記ベース領域の表面に絶縁膜を介しかつ上記ドレイン領域およびソース領域にまたがって形成されたゲート電極を有する縦型伝導度変調型MOSFETにおいて、

上記ベース領域近傍の上記ドレイン領域に溝部を刻設し、その溝部の内面に、上記ベース領域およびソース領域と電気的に接続されるソース電極を形成し、このソース電極とベース領域との接合面を、ベース領域からソース電極方向にのみ少数キャリアを通過させるショットキー接合に形成したことを特徴とする。

《作 用》

この発明の縦型伝導度変調型MOSFETにおいては、動作時に、ショットキー接合されたソース電極が逆バイアス状態になり、第1導電性の半導体基体からドレイン領域に注入される少数キャリアの大部分が、ベース領域を通過することなく、

オン抵抗を低くした縦型伝導度変調型MOSFETを提供することにある。

《問題点を解決するための手段》

上記目的を達成するために、この発明は、第1導電性の半導体基体の一方の主面に形成された第2導電性のドレイン領域と、このドレイン領域の表面に形成された第1導電性のベース領域と、このベース領域内であって表面に形成された第2導電性のソース領域と、上記ベース領域の表面に絶縁膜を介しかつ上記ドレイン領域およびソース領域にまたがって形成されたゲート電極を有する縦型伝導度変調型MOSFETにおいて、

上記ベース領域近傍の上記ドレイン領域に、上記ベース領域およびソース領域と電気的に接続されるソース電極を形成し、このソース電極とドレイン領域との接合面を、ドレイン領域からソース電極方向にのみ少数キャリアを通過させるショットキー接合に形成したことを特徴とする。

またこの発明は、第1導電性の半導体基体の一方の主面に形成された第2導電性のドレイン領域

ドレイン領域表面のソース電極に吸収されソース電極に流れる。そのため、ベース領域での電圧降下がなくなり、寄生サイリスタの作動が抑止されてラッチアップが発生しなくなる。

《実施例》

第1図はこの発明にかかる縦型伝導度変調型MOSFETの第1実施例を概念的に示した部分断面図である。

図において、p⁺型アノード領域11の上面にn⁺型ドレイン領域12が形成されている。このn⁺型ドレイン領域12の表面部分に拡散等によりp型ベース領域13が形成され、さらにこのp型ベース領域13の上面に對をなしてn⁺ソース領域14、14が形成されている。これらn⁺型ドレイン領域12とp型ベース領域13とn⁺ソース領域14の表面をまたぐようにゲート酸化膜15を介してゲート電極16が形成されている。このゲート酸化膜15部を除いたp型ベース領域13とn⁺ソース領域14の表面に金属電極のソース電極17が形成され、このソース電極17と

n⁺型ドレイン領域12間でショットキー接合17aされている。ゲート酸化膜15およびゲート電極16と、ソース電極17との間隙には絶縁体19が充填されている。ドレイン電極18はp⁺型アノード領域の下面に形成されている。

動作に際しては、ソース電極17が接地され、ドレイン電極18に正の電位が印加される。さらにゲート電極16に制御電圧が印加されゲートがオン状態になる。この状態では、ショットキー接合17aは逆バイアスされて電子が通過できない。そのため電子はゲート電極16の下面のp型ベース領域13の表面部に生成されるチャネルを通過するのみ、n⁺ソース領域14からn⁺型ドレイン領域12へと流れる。チャネルからn⁺型ドレイン領域12に流れ出た電子は、互いにより合うp型ベース領域13、13により生成される空乏層の狭間を下方のp⁺型アノード領域11へと流れる。このときp型ベース領域13、13の間隔が狭すぎるとJFET効果により電流制限がかかるので、最適な間隔を確保してp型ベース領域13、

13が配置されている。

第2図は、第1図における縦型伝導度変調型MOSFETの等価回路を示す。

図において、Tr1は第1図における(p⁺型アノード領域11) - (n⁺型ドレイン領域12) - (p型ベース領域13)により形成されるpnptランジスタを示している。同じくTr2は、(n⁺型ドレイン領域12) - (p型ベース領域13) - (n⁺ソース領域14)により形成されるnpnptランジスタを示している。トランジスタTr1とトランジスタTr2とによりpnpnの寄生サイリスタが形成される。

抵抗r_sはp型ベース領域13内を正孔電流が通過する際に生じる抵抗である。

トランジスタTr1のベースから、トランジスタTr2および抵抗r_sを迂回してソース電極17に接続された経路Lは、第1図におけるn⁺型ドレイン領域12からショットキー接合17aを経てソース電極17に流れる正孔電流の経路に相当する。

このように構成されたことにより、チャネルの出口付近、およびショットキー接合17a周囲のp型ベース領域13は、電子電流密度が非常に高くなり、n⁺型ドレイン領域12に注入された正孔電流が引き付けられる。その結果この付近における伝導度変調効果が最も高くなる。

ソース電極17に形成されているショットキー接合17aは、正孔が通過する際の障壁にならないため、引き付けられた正孔はショットキー接合17aにそのまま流れ込む。それによりp⁺型アノード領域11から放出された正孔がp型ベース領域13に流れ込む量は、無視できる程度に減少し、npnptランジスタTr2は正孔電流が増えなくても作動することがない。トランジスタTr2が作動しなければ、寄生サイリスタも作動することがなくなり、ラッチアップ現象も発生することがなくなる。

また誘導負荷を駆動する場合のスイッチオフ時に発生する高電圧高電流モードについても、電流の大半を占める正孔電流はショットキー接合17

aに流れ込むのでラッチアップ発生を防止できる。

第3図は第2実施例を概念的に示した部分断面図である。

この実施例では、ソース電極17とn⁺型ドレイン領域12の接合部に、ショットキー接合の代わりに浅い拡散深さを有するp型コンタクト領域12cが形成されている。p型コンタクト領域12cにより、ソース電極17とn⁺型ドレイン領域12とがpn接合となり、第1実施例と同様な作用が得られる。なおp型コンタクト領域12cは、n⁺ソース領域14からp型ベース領域13の表面に生成されるチャネルを通過してn⁺型ドレイン領域12に流出する電子流を妨げるのではない範囲に形成されている。他の各部については第1実施例と共通であるので同一の番号を付して詳細な説明を省略する。

以上の第1、第2の実施例によれば、従来例のようなn⁺ソース領域14直下の抵抗を下げる必要がなくなったため、p型ベース領域13を深い拡散によって形成する必要がなくなり、その結果

チャネル長も短縮でき、通常のMOSFETと同様に微細なセル構造に設計可能となり、単位面積当たりの相互コンダクタンスが向上する。

次に第3実施例について説明する。

第4図はこの発明にかかる第3実施例を概念的に示した部分断面図である。

図において、p型アノード領域21の上面にn型ドレイン領域23が形成され、このn型ドレイン領域23の表面部分に拡散等によりp型ベース領域24が形成され、さらにこのp型ベース領域24の上面にn型ソース領域25が形成されている。これらn型ドレイン領域23とp型ベース領域24とn型ソース領域25の表面をまたぐようにゲート酸化膜26を介してゲート電極27が形成されている。このゲート酸化膜26部を除いたn型ドレイン領域23とn型ソース領域25の表面にソース電極28が形成され、さらにn型ドレイン領域23と、隣りのセルのp型ベース領域24およびn型ソース領域25との間に穿たれた溝内にもソース電極28が形成されている。ソ-

ース電極28のn型ドレイン領域23との接合面はショットキー接合されている。ゲート酸化膜26およびゲート電極27と、ソース電極28との間隙には絶縁体20が充填されている。ドレイン電極29はp型アノード領域の下に形成されている。

動作に際しては、ソース電極28が接地され、ドレイン電極29に正の電位が印加される。さらにゲート電極27に制御電圧が印加されゲートがオン状態になる。この状態ではショットキー接合28sが逆バイアスされて電子が通過できない。そのため電子はゲート電極27の下面のp型ベース領域24の表面部に生成されるチャネル24cを通過してのみ、n型ソース領域25からn型ドレイン領域23へと流れる。チャネル24cからn型ドレイン領域23に流れ出た電子は、p型ベース領域24と、溝内に形成されたショットキー接合28sの作用によって生成される空乏層の狭間をソース電極28の溝部の壁に沿うようにして下方のp型アノード領域21へと流れる。このときチャネル24cとソース電極28の溝部との

間隔が狭すぎると、JFET効果により電流制限がかかるので、最適な間隔を確保してp型ベース領域24とソース電極28が配置されている。

第4図に示した第3実施例の等価回路も、第2図と同じようになる。

このように構成されたことにより、チャネル24cの出口付近、および電極28周囲のp型ベース領域24は、電子電流密度が非常に高くなり、n型ドレイン領域23に注入された正孔電流が引き付けられる。その結果この付近における伝導度変調効果が最も高くなる。

電極28の内n型ドレイン領域とショットキー接合された部分は、正孔が通過する際の障壁にならないため、引き付けられた正孔は電極28にそのまま流れ込む。それによりp型アノード領域21から放出された正孔がp型ベース領域24に流れ込む量は、無視できる程度に減少し、npnトランジスタTr2は正孔電流が増えても作動することがない。トランジスタTr2が作動しなければ、寄生サイリスタも作動することがなくなり、

ラッチアップ現象も発生することがなくなる。

また誤導負荷を駆動する場合のスイッチオフ時に発生する高電圧高電流モードについても、電流の大半を占める正孔電流は電極28のショットキー接合した部分へ流れ込むのでラッチアップ発生を防止できる。

第5図は第4実施例を概念的に示した部分断面図である。

この実施例は、第3実施例におけるセルの配置を交互にしたものであり、第3実施例と同様に有効な構造である。

第6図は第5実施例を概念的に示した部分断面図である。

この実施例は、第4実施例における溝内に形成されたソース電極28を短くしたものであり、ソース電極28はp型ベース領域24を貫通せずにn型ドレイン領域23と接続されないように構成されている。この実施例も溝の底部のP領域がすぐにパンチスルーするので、第4実施例と同様な性能が得られる。

第5図、第6図に示される第4、5実施例は、第4図に示される第3実施例と共通な部分について同じ番号を付して詳細な説明を省略した。

以上第1～第5実施例では、セルの平面構造はストライプ状でも島状でも可能である。

以上の第1～第5実施例によれば、p⁺型アノード領域21とn⁺ドレイン領域との間のpn接合に起因する小電圧モードにおける電流の立ち上がりに必要な電圧も最小の値にすることができる。

また従来例のようなn⁺ソース領域25直下の抵抗を下げる必要がなくなったため、p型ベース領域24を深い拡散によって形成する必要がなくなり、その結果チャネル長も短縮でき、縦溝を形成する面積を考慮してもさらにセル間隔を狭められ、単位面積当たりの相互コンダクタンスが向上する。

以上の説明は第1導電性半導体をP型として説明したがn型でも良いこと言うまでもない。

〔発明の効果〕

この発明は、上記のように縦型伝導度変調型M

OSFETのドレイン領域において、電子電流密度の高いチャネル出口付近にショットキー接合を介して、ソース電極に正孔をバイパスする構造を付加したことによって、電子電流の電気引力により引きつけられた正孔を効率よくソース電極へバイパスし、ベース領域へ正孔を流さないことで、寄生サイリスタの作動が防止されラッチアップ現象の発生が解消される。

また、従来必要であった正孔の注入制限が不要となることにより、伝導度変調効果を十分に発揮することができる。

4. 図面の簡単な説明

第1図はこの発明にかかる縦型伝導度変調型MOSFETの第1実施例を概念的に示した部分断面図、第2図は第1実施例の等価回路図、第3図は同じく第2実施例を概念的に示した部分断面図、第4図は同じく第3実施例を概念的に示した部分断面図、第5図は同じく第4実施例を概念的に示した部分断面図、第6図は同じく第5実施例を概念的に示した部分断面図、第7図は従来例を示す

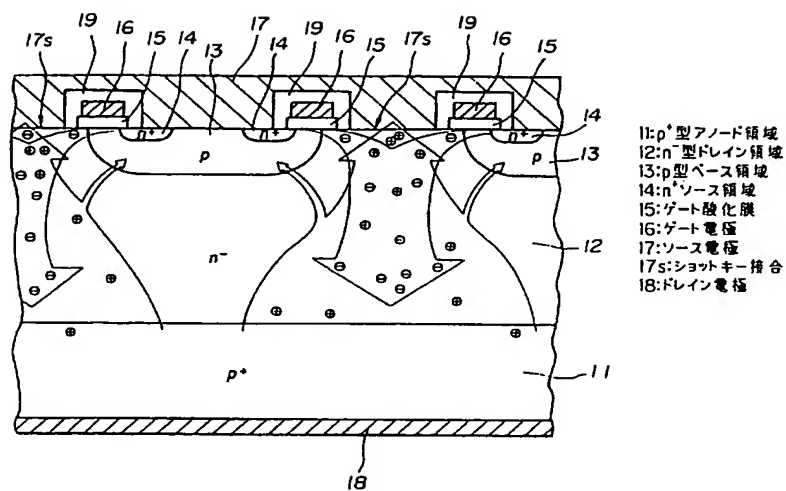
部分断面図、第8図は従来例における等価回路図、第9図は従来例を示す部分断面図である。

- 11・・・p⁺型アノード領域
- 12・・・n⁺型ドレイン領域
- 12c・・・p型コンタクト領域
- 13・・・p型ベース領域
- 14・・・n⁺ソース領域
- 15・・・ゲート酸化膜
- 16・・・ゲート電極
- 17・・・ソース電極
- 17a・・・ショットキー接合
- 18・・・ドレイン電極
- 19・・・絶縁体
- 20・・・絶縁体
- 21・・・p⁺型アノード領域
- 23・・・n型ドレイン領域
- 24・・・p型ベース領域
- 24c・・・チャネル
- 25・・・n⁺ソース領域
- 26・・・ゲート酸化膜

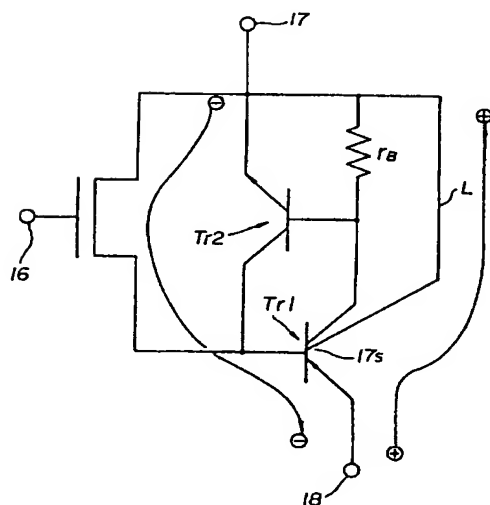
- 27・・・ゲート電極
- 28・・・ソース電極
- 28a・・・ショットキー接合
- 29・・・ドレイン電極

特 許 出 願 人 日 産 自 動 車 株 式 会 社
代 理 人 弁 理 士 和 田 成 則

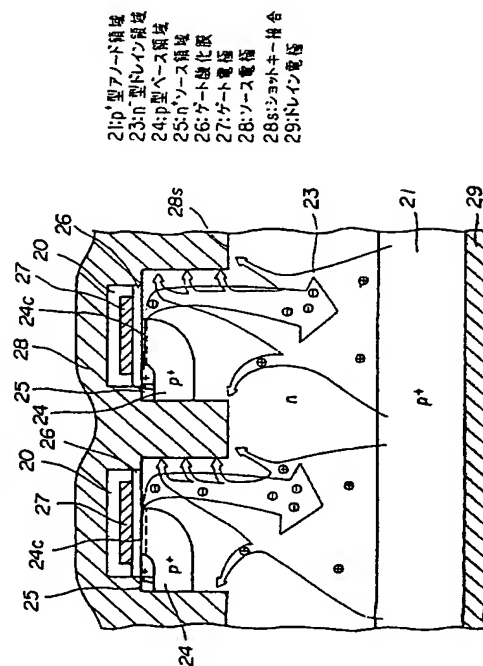
第1図



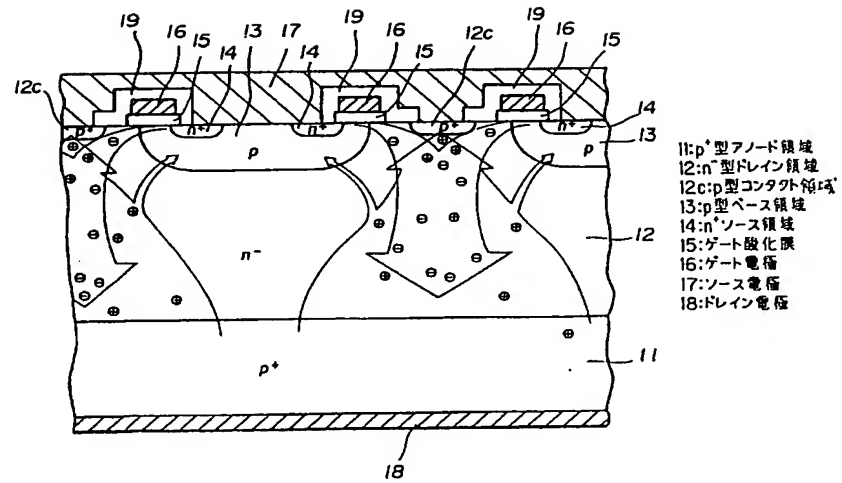
第2図



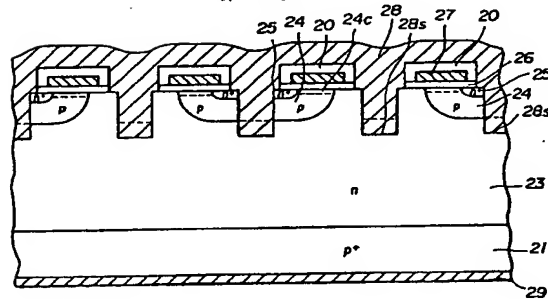
第4図



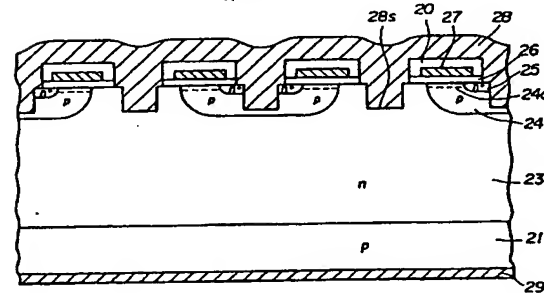
第 3 図



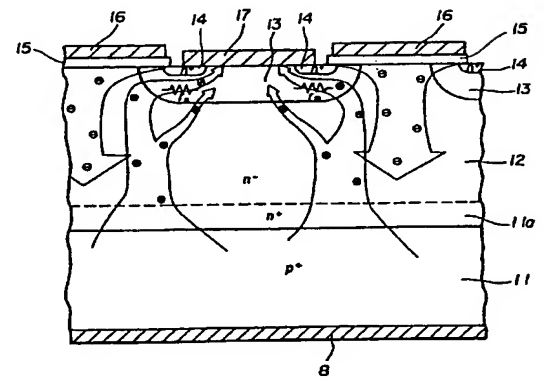
第 5 図



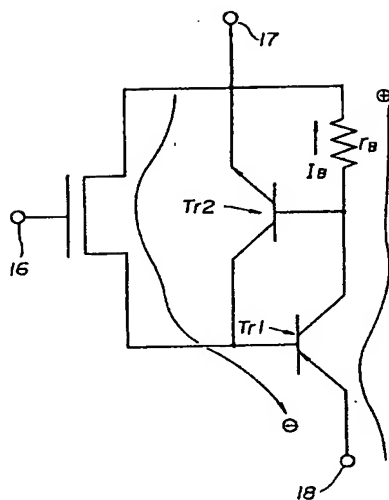
第 6 図



第 7 図



第 8 図



第 9 図

